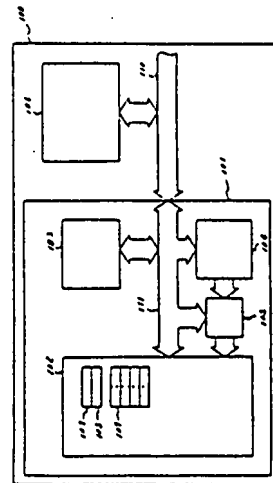


(54) INSTRUCTION PROCESSING SYSTEM

- (11) 62-151938 (A) (43) 6.7.1987 (19) JP
(21) Appl. No. 60-294280 (22) 25.12.1985
(71) NEC CORP (72) YUKARI MISAWA(1)
(51) Int. Cl. G06F9/44, G06F9/30

PURPOSE: To execute both softwares for the slave type of a machine and the host type of the machine by being provided with a function to execute the instruction set of the slave type of the machine and a function to execute the instruction set of the higher type of the machine.

CONSTITUTION: A single chip microcomputer 101 is provided with both the function emulation function to execute the instruction set of a slave type of a machine and the function to execute an inherent instruction set. In the microcomputer 101, a CPU 102, an input output device 103, a code converting memory 104 and an instruction code selector 105 are included. In a code converting memory 104, a code converting table to convert the instruction code of the slave type of the machine to the instruction code of the host type of the machine is contained. An instruction code selector 104 selects whether the code is the instruction code on an internal data bus 111 or the instruction code in the code converting memory 104 and sends the result to CPU 102. In a memory 106, the program which the single chip microcomputer 101 executes by a native mode, the program which the microcomputer executes by an emulation mode and processing data are contained.



⑫ 公開特許公報(A)

昭62-151938

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)7月6日

G 06 F 9/44
9/303 1 0
3 1 08120-5B
7361-5B

審査請求 未請求 発明の数 1 (全8頁)

⑮ 発明の名称 命令処理方式

⑯ 特 願 昭60-294280

⑰ 出 願 昭60(1985)12月25日

⑱ 発 明 者 三 沢 ゆ か り 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 発 明 者 香 取 重 達 東京都港区芝5丁目33番1号 日本電気株式会社内
⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
㉑ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称
命令処理方式

2. 特許請求の範囲

プログラム記憶手段内に格納される第1の命令コード群を解釈する解釈回路の制御により、各種のデータ処理を実行する演算処理装置を単一半導体基板上に集積した半導体集積回路において、前記第1の命令コード群を実行する実行手段と、前記プログラム記憶手段内に格納される第2の命令コード群からアドレス情報を生成するアドレス制御手段と前記アドレス情報に基づいて、前記第2の命令コード群から前記第1の命令コード群を生成する命令コード変換記憶手段と、前記実行手段へ送出する命令コードを制御する命令コード選択手段を有し、前記演算処理装置は、命令コード選択手段の制御で、前記プログラム記憶手段内の第1の命令コード群と前記第2の命令コード群から

前記命令コード変換記憶手段で生成された前記第1の命令コード群とを実行するとともに前記第2の命令コード群に含まれる命令を前記第1の命令コードに含まれる複数の命令で処理することを特徴とする命令処理方式。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、命令コードを解釈する解釈回路の制御により、各種のデータ処理を実行する演算処理装置を単一半導体基板上に集積した情報処理装置の命令処理方式に関する。

(従来の技術)

最近、パーソナルコンピュータ、オフィスコンピュータ等の情報処理装置が、企業内ではもちろん一般家庭でも多く利用されている。これら情報処理装置は、利用範囲が広く、それに伴うソフトウェアも増え続け、今では膨大な数となっている。これと平行して、情報処理装置も利用者の要求とともに高性能化、高速処理化が進んでいる。

しかし、次々と新しい機種が製品化されているため、最新機種として製品化された情報処理機器もすぐに旧式化している。

従卒の機種(以下、下位機種と記す)には多くのソフトウェアが用意されているが下位機種の命令コードは、最新の機種(以下、上位機種と記す)の命令コードとは全く異なる為、最新の上位機種のソフトウェアと従来の下位機種のソフトウェアとの互換性が問題になっている。

第7図は、従来の情報処理機器の構成図である。CPU701は、上位機種の命令セットを実行するマイコンである。メモリ702には、実行されるプログラムや処理データが格納されている。上記の様な構成の機器で下位機種用のソフトウェアを実行しても、CPU701は上位機種の命令コードとして解釈し正しい処理を行うことは不可能である。また、この膨大な数の従来の下位機種用のソフトウェアが上位機種に使用できないという理由で無視することも不可能である。そこで今まで上位機種上で下位機種用のソフトウェアを使用する

- 3 -

る。第8図において、上位機種の命令セットを実行するマイコン801と下位機種の命令セットを実行するマイコン802は、エミュレーション制御装置803に接続されている。エミュレーション制御装置803は、アドレスバス806、データバス807を介してメモリ804と入出力装置805に接続されている。上位機種用のソフトウェアを実行させる時は、エミュレーション制御装置803の制御でアドレスバス806、データバス807が上位機種の命令セットを実行するマイコン801に接続され、メモリ804の中の下位機種用のプログラムを実行する。下位機種用のソフトウェアを実行させる時は、エミュレーション制御装置803の制御でアドレスバス806、データバス807が、下位機種の命令セットを実行するマイコン802に接続され、メモリ804の中の下位機種用のプログラムを実行する。この様にして下位機種用、上位機種用両方のソフトウェアを実行できる。

(発明が解決しようとする問題点)

- 5 -

方法として、第1に下位機種用ソフトウェアのソースプログラムを上位機種用に書き直して上位機種上で用いる方法、第2に上位機種用の命令で全く新しいソフトウェアを作るという方法があった。しかし、第1の方法には、現在使われているすべての下位機種用のソフトウェアを上位機種用に書き直す為に大変な時間を費してしまうという問題がある。また、第2の方法には、従来のソフトウェアと同じだけのソフトウェアを新たに作成する為に、今までと同じ、又はそれ以上の工数と費用がかかってしまうという問題がある。つまり、上記の2つの方法は、下位機種用のソフトウェアが膨大な数となってしまった今でに用いることが不可能である。そこで従来は第8図の様な構成の情報処理装置800が考えられた。

次に第8図を参照しながら情報処理装置800の構成と動作を説明する。第8図は、上位機種用の命令セットを実行するマイコン801と下位機種の命令セットを実行するマイコン802の両方を搭載させた情報処理装置800のブロック図であ

- 4 -

通常、下位機種用の入出力装置には、下位機種固有のアドレスが割り当てられており、上位機種用の入出力装置には、上位機種固有のアドレスが割り当てられているが、前述した従来の情報処理装置は2つのマイコンに対して、入出力装置へ同一のアドレス割込みが行われている為、入出力命令が正常に実行されない場合がある。この問題を解決する1つの方法として、下位機種用と上位機種用の両方の入出力装置を情報処理装置に搭載することが考えられるが、従来の構成だけをみても下位機種用と上位機種用の2つのマイコンを使っており、さらに2通りの入出力装置を搭載することは、システム規模を一層大きくするという欠点がある。また、それに伴い、情報処理装置の価格が高価になるという欠点もある。したがって、上記の様に、2つの入出力装置を搭載することは、部品数が増えるだけで入出力命令は正常に実行されても、上記の欠点の解決策にはならない。またこの方法では、ハードウェア資源が有効に利用されないという欠点がさらに増えることになる。

- 6 -

〔問題点を解決するための手段〕

本発明に基づく情報処理装置は、プログラム記憶手段内に格納される第1の命令コード群を解読回路の制御により各種のデータ処理を実行する演算処理装置を単一半導体基板上に集積した半導体集積回路において、第1の命令コード群を実行する実行手段と、プログラム記憶手段内に格納される第2の命令コード群からアドレス情報を生成するアドレス制御手段と、アドレス情報に基づいて、第2の命令コード群から第1の命令コード群を生成する命令コード変換記憶手段と、実行手段へ送出する命令コードを制御する命令コード選択手段を有し、前記演算処理装置は命令コード選択手段により、プログラム記憶手段内の第1の命令コード群と第2の命令コード群から命令コード変換記憶手段で生成された第1の命令コード群とを実行するとともに第2の命令コード群に含まれる命令を第1の命令コードに含まれる複数の命令で処理することを特徴とする。

〔実施例〕

- 7 -

ード変換メモリ104内の命令コードかを選択しCPU102へ送出する。メモリ106には、シングルチップマイコン101がネイティブモードで実行するプログラム、エミュレーションモードで実行するプログラムと処理データが納められている。CPU102内には、PC107、PSW108、レジスタ群109が含まれている。

第2図は、CPU102内のPSW108の構成図である。PSW201には、ネイティブモード、エミュレーションモードを設定するモード設定フラップフロップ202が設置されている。他にZフラグ、キャリーフラグなども含まれているが第2図には明示されていない。シングルチップマイコン101はモード設定フラップフロップ202が'1'のときは、ネイティブモードとなり、フェッチした命令コードを上位機種の命令コードとして解釈、実行し、モード設定フラップ202が'0'のときはエミュレーションモードとなり、フェッチした命令コードを下位機種の命令コードとして処理する。

- 9 -

次に本発明について、図面を参照しながら説明する。

第1図は、本発明に関する情報処理装置の構成図である。情報処理装置100には、2つのモードがあり、1つは、入力された命令を上位機種用の命令として実行するモード（以下ネイティブモードと記す）と他方は、入力された命令を下位機種用の命令として、処理するモード（以下エミュレーションモードと記す）である。第1図の情報処理装置100のシングルチップマイコン101は、下位機種の命令セットを実行する機能（以下エミュレーション機能と記す）と、本来の命令セットを実行する機能の両方を備えている。このシングルチップマイコン101にはCPU102、入出力装置103、コード変換メモリ104、命令コードセレクタ105が含まれている。コード変換メモリ104には、下位機種の命令コードを上位機種の命令コードに変換するコード変換テーブルが格納されている。命令コードセレクタ105は、内部データベース111上の命令コードか、コ

- 8 -

以下に、CPU102内で行われる命令処理を第3図、第4図のフローチャートを参照して説明する。MOVは、転送命令でレジスタ・レジスタ間、レジスタ・メモリ間でのデータの転送、又は、レジスタへの直接データ転送、メモリへの直接データ転送を行なう。ADDは、加算命令で、レジスタプラスレジスタ、レジスタプラスメモリ、メモリプラスレジスタ、レジスタプラスデータの処理を行い、計算結果をレジスタ又はメモリに格納する。SUBは、減算命令で、レジスタマイナスレジスタ、レジスタマイナスメモリ、メモリマイナスレジスタ、レジスタマイナスデータの処理を行い、計算結果をレジスタ又はメモリに格納する。IN A, nは入出力命令で、第2オペランドで指定した入出力装置103のアドレスに格納されているデータをアキュムレータに転送する。OUT A, nは、入出力命令で、第2オペランドで指定した入出力装置103のアドレスに、アキュムレータの内容を転送する。INTは転送命令でINT

- 10 -

が実行されるとPC107とPSW108をスタック領域に退避し、所定割込みベクタへ分岐し、モード設定フリップフロップ202を強制的にセットし、ネイティブモードとなる。RBTI命令は、主プログラムへの復帰命令で、この命令を実行すると、スタック領域に退避されているPC、PSWの情報をリストアし、再び主プログラムに戻る。

次にネイティブモードにおける各命令の実行処理を第3図のフローチャートに沿って説明する。まず、CPU102がメモリ106から上位機種命令を読み出す。CPU102がネイティブモードで動作しているため、命令コードセクタ105は、内部バス111上に出力される上位機種用の命令コードを選択し、CPU102に出力する。CPU102は、この命令コードをデコードして各命令を処理する。

次にエミュレーションモードにおける各命令の実行処理を第4図のフローチャートを用いて説明する。まず、CPU102は、メモリ106から下位機種の命令コードを読み出す。読み出された下

位機種の命令コードは、外部データベース110、内部データベース111を介してコード変換メモリ104に送り込まれ、このコード変換メモリ104で上位機種の命令コードに変換される。すなわち、コード変換メモリ104は、下位機種用のMOV命令が入力すると、下位機種用のMOV命令と同じ処理を行う上位機種用のMOV命令にコード変換し、下位機種用のADD命令が入力すると、下位機種用のADD命令と同じ処理を行う上位機種用のADD命令にコード変換する。CPU102がエミュレーションモードで動作しているため、命令コードセクタ105は、コード変換メモリ104を選択し、上位機種用に変換された命令コードがCPU102に出力する。CPU102内では、この命令をデコードし、MOVであれば転送を、ADDであれば加算を、SUBであれば減算を実行する。上記の様に、コード変換することによって、上位機種上で下位機種の命令が正しく実行される。

次にIN命令、OUT命令のときの処理を説明する。IN命令、OUT命令の場合には、上位機

- 11 -

種には上位機種固有の入出力アドレスが割り当てられており、下位機種には、下位機種固有の入出力アドレスが割り当てられているため、上位機種と下位機種のアドレスが一致せず、コード変換だけでは、正しく実行されない。CPU102が、メモリ106から読み出した命令がINの場合、コード変換メモリ104内の下位機種のIN命令に対する上位機種の命令は割込み命令INTで、INは、INTに変換される。INTは、命令コードセクタ105により、CPU102に出力される。CPU102内ではINTをデコードし、前述のINTと同様にネイティブモードのCPUの通常の処理として、第5図の様に、エミュレーションモードにおけるPC501とPSW502をスタック領域503に退避する。このとき、モード設定フリップフロップの'0'もPSWの退避によってスタック領域に退避している。そして新たにモード設定フリップフロップをセットし、ネイティブモード中のソフトウェアが実行される。このソフトウェアは、下位機種の入出力命令のアドレスを

上位機種の入出力命令のアドレスに変換して、入出力命令を実行するもので、下位機種の入出力命令のアドレスと上位機種の入出力命令のアドレスの対応のすべての場合がメモリに格納されている。

第6図は、アドレス変換時の多方向分岐フローチャートである。一例を上げると、変換前、IN命令のアドレスが300だったとする。第6図のフローチャート上で、下位機種の300というアドレスに対する上位機種のアドレスは150とされているのでアドレスを150に変換する。この様に割込処理では、下位機種の命令アドレスに対応する上位機種のアドレスに変換し、このアドレスからデータを読み出す。また、上位機種と下位機種で処理するデータのビット順序が異なる場合、この割込処理内でビット順序を上位機種用に直すことができる。CPU102がメモリ106から読み出した命令がOUTの場合もIN命令と同様に処理する。一例を上げると、変換前OUT命令のアドレスが500だったとする。第6図のフローチャート上で下位機種の500というアドレスに

- 14 -

- 13 -

対する上位機種のアドレスは250となっているのでアドレスを250に変換する。そして、ビット順序を上位機種用に交換し、OUT命令を実行し、変換したアドレスへ上位機種用に交換したデータを転送する。以上の様な一連の入出力処理完了後、割込処理の最後でRETIの命令を実行する。この命令でスタック507から返却していたPCとPSWを戻す。このとき、PSWにモード設定フリップフロップが含まれているため、返却していた'0'がそのまま戻り、エミュレーションモードとなる。RETI命令の終了後、CPU102はメモリ106内のIN又はOUTの次の命令から再び読み込み、コード変換、デコード、実行の一連の処理を再開する。

〔発明の効果〕

以上説明した様に、本発明は、下位機種の命令セットを実行する機能と上位機種の命令セットを実行する機能を備えている為下位機種用と上位機種用の両方のソフトウェアを実行できるという利点がある。

- 15 -

明の実用効果は非常に高い。

4. 図面の簡単な説明

第1図は、本発明における情報処理装置の構成図、第2図は第1図のCPU102内のPSWの構成図、第3図はネイティブモード時のフローチャート、第4図はエミュレーションモード時のフローチャート、第5図はエミュレーションモード中の割込命令の時のモード設定フリップフロップの変化、第6図は割込処理中のアドレス変換時のフローチャート、第7図は従来のエミュレーション機能の付加されていない上位機種の構成図、第8図は従来の下位機種用エミュレーション機能付きの上位機種の構成図である。

101……シングルチップマイコン、102……CPU、103……入出力装置、104……コード変換メモリ、105……命令コードセレクタ、106……メモリ、107……PC、108……PSW、109……レジスタ、110……外部データバス、111……内部データバス、201……

- 17 -

また、本発明に関する情報処理装置には、命令コード変換メモリを用いているため、2つのマイコンを搭載することなく、上位機種の命令セットを実行する機能をもったマイコンだけで、下位機種の命令も処理できるので、今までの下位機種用のマイコンと、上位機種用のマイコンの2つを使っていた情報処理装置に比べ小型化でき、また、低コスト化も可能であるという利点もある。今までのアドレスに問題のあったエミュレーションモードの入出力命令についても、割込命令として、ネイティブモード内に入出力命令のアドレスを変換させるソフトウェアを搭載したので、入出力命令を書き直すことも、入出力装置を2つ搭載することもなしに、入出力命令が正しく処理されるという効果がある。

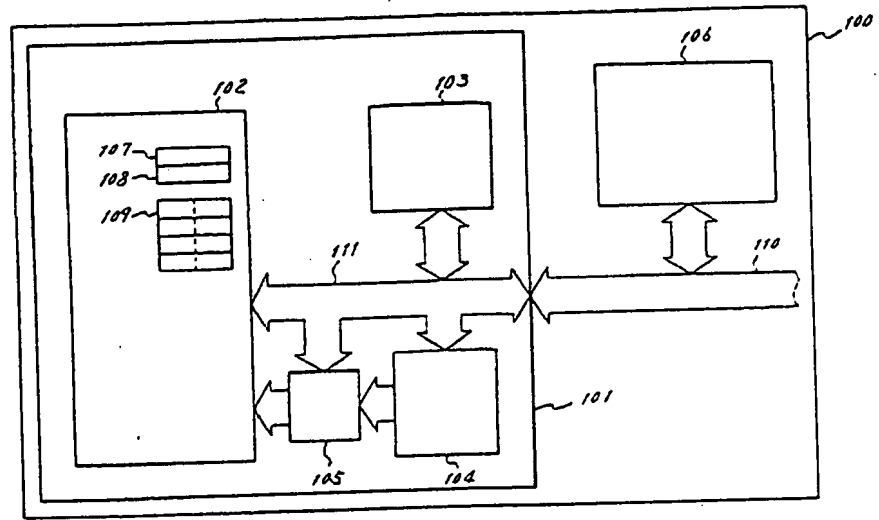
以上、この命令処理方式を用いることにより、下位機種用と上位機種用の両方のソフトウェアが使い、尚かつ、下位機種用のソフトウェアを実行するときでも、外見上はあたかも、下位機種で処理されているのと同じ様に扱うことができ、本発

- 16 -

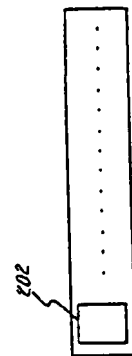
…PSW、202……モード設定フリップフロップ、203……Zフラグ、204……キャリーフラグ、501、504……PC、502、505……モード設定フリップフロップ、503、506……スタック領域、701……CPU、702……メモリ、703……入出力装置、801……上位機種用マイコン、802……下位機種用マイコン、803……エミュレーション制御装置、804……メモリ、805……入出力装置、806……アドレスバス、807……データバス。

代理人 弁理士 内 原 啓

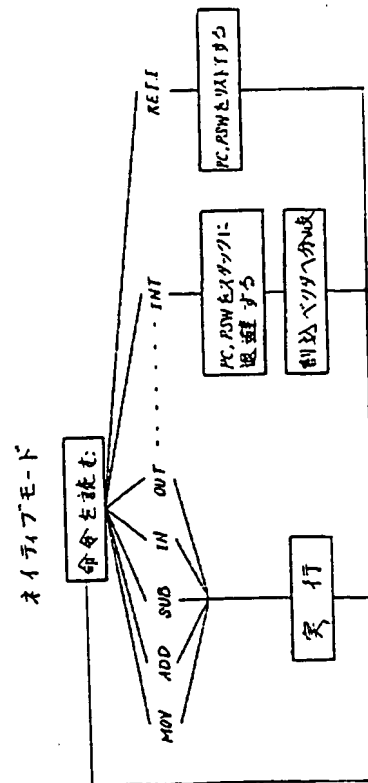
- 18 -



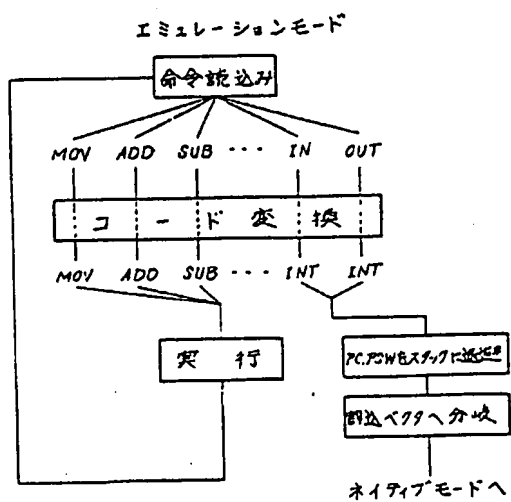
第 1 図



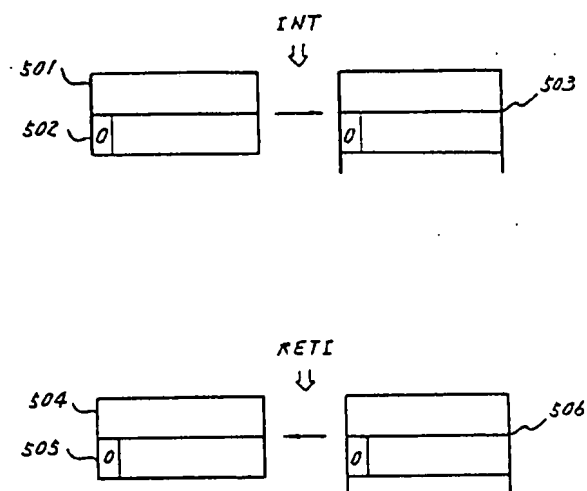
第 2 図



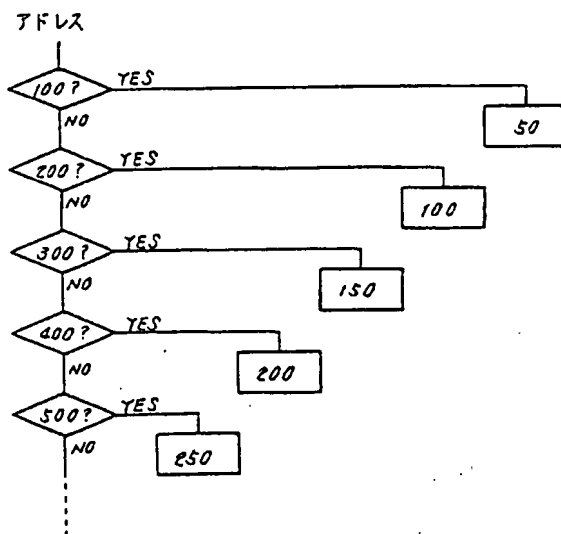
第 3 図



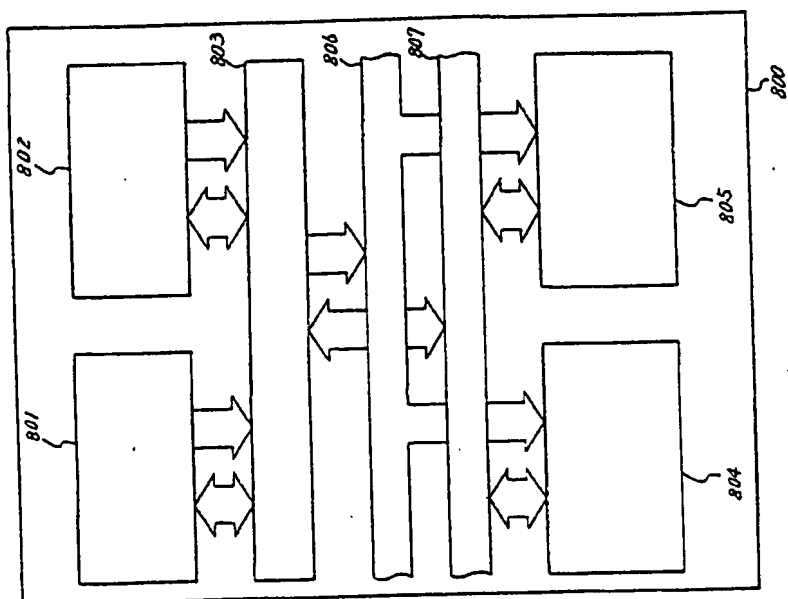
第4図



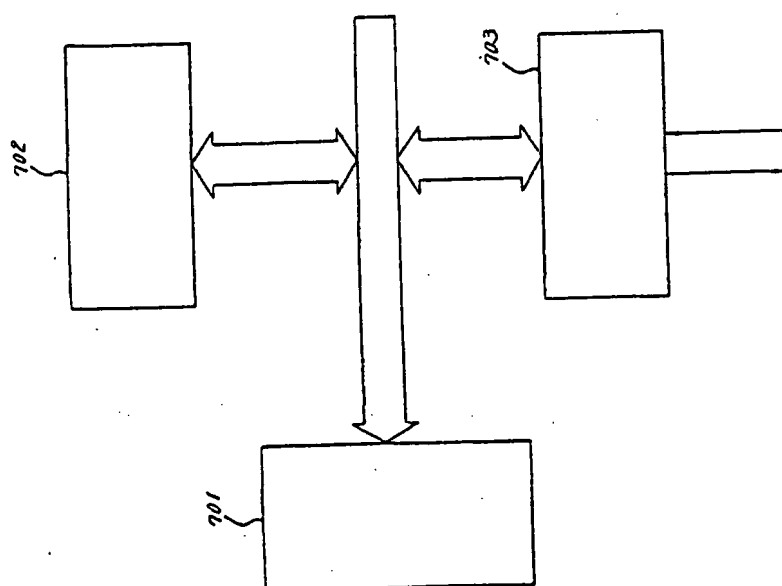
第5図



第6図



第 8 図



第 7 図